

CHOU et al
March 31, 2004

703-205-8288

3722-0560021

1041

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 08 日
Application Date

申請案號：092108023
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 11 月 18 日
Issue Date

發文字號：09221163380
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	用於鎖相迴路之相位頻率偵測電路
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	1. 周裕彬 2. 張義樹
	姓 名 (英文)	1. Yu-Pin CHOU 2. Yi-Shu CHANG
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 苗栗縣通霄鎮平元里22鄰平新二路275號 2. 台南市西區中正里正興街61巷14號
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學園區工業東九路2號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：用於鎖相迴路之相位頻率偵測電路)

一種用於鎖相迴路之相位頻率偵測電路，包含：一相位差偵測單元，用以依據一第一輸入信號及一第二輸入信號之相位差輸出相對應之一相位差信號；以及一重置單元，與相位差偵測單元耦接，用以在同時接收到第一輸入信號及第二輸入信號時輸出一重置信號，以重置相位差偵測單元，使相位差信號之輸出的時間與相位差的大小更精確地成線性比例關係，並且可提高鎖相迴路的靈敏度。

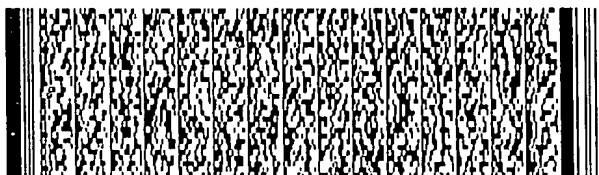
五、(一)、本案代表圖為：第____4____圖

(二)、本案代表圖之元件代表符號簡單說明：

400 相位差偵測單元(Phase-Error Detecting)

410 重置電路

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

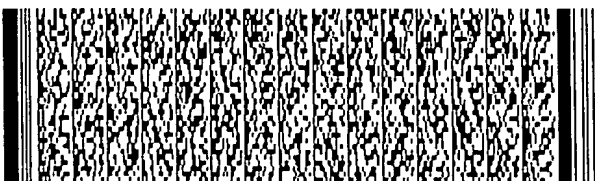
【發明所屬之技術領域】

本發明為一種鎖相迴路，特別是一種應用在鎖相迴路中，具有高靈敏度之相位偵測電路。

【先前技術】

鎖相迴路(phase locked loop ; PLL)是一種能夠追蹤輸入訊號的頻率與相位的自動控制電路系統，它廣泛的運用在電腦，消費性產品與它常被使用在頻率合成，時脈/數據回復，時脈差異消除等等的應用上。鎖相迴路主要是將輸出信號與輸入信號之相位與頻率作追蹤與鎖定，使輸出信號之相位與頻率能夠固定於一預設的值或範圍中。當輸出信號的相位與頻率固定時，稱輸出信號被鎖住(locked)。

鎖相迴路大致可分為類比鎖相迴路與數位鎖相迴路。不論類比鎖相迴路或是數位鎖相迴路，都需要有一相位頻率偵測器(Phase-Frequency Detector ; PFD)。一般的數位鎖相迴路的系統架構方塊圖如第1A圖所示，包含由數位電路所組成的相位頻率偵測器100、相位差量化器(Phase Error Quantizer)110、數位控制振盪器(Digital Controller Oscillator ; DCO)120以及除頻電路(Divider)130所組成。相位頻率偵測器100的作用是比較回授信號 F_i 與輸入信號 F_r 的相位差，並依據兩者相位差輸出相位差信號。一般相位差信號係分為UP信號及DOWN信號，由兩信號值及時間差來代表回授信號 F_i 與輸入信號 F_r 的相位差的大小。相位差量化器110係依據UP信號及DOWN

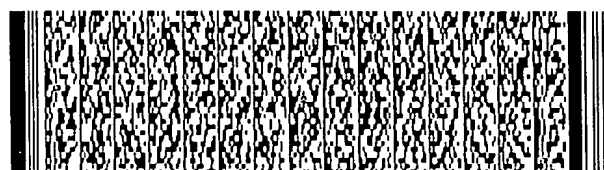
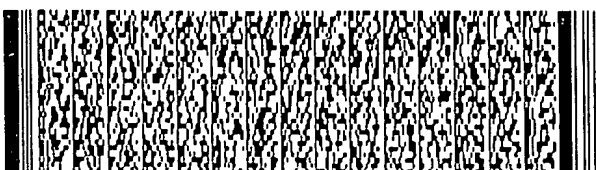


五、發明說明 (2)

信號之信號值及時間差，將相位差的大小以數位量化 (Quantized) 的方式輸出一計數信號。而數位控制振盪器 (DCO) 120 再依據計數信號大小輸出相對應之一輸出信號 F_o 。需注意的是，輸出信號 F_o 的頻率與輸入信號 F_r 並不一定相同。當輸出信號 F_o 的頻率與輸入信號 F_r 不同時，輸出信號 F_o 必須經過除頻器 130 除頻後，由相位頻率偵測器 100 來偵測回授信號 F_i 與輸入信號 F_r 的相位差。

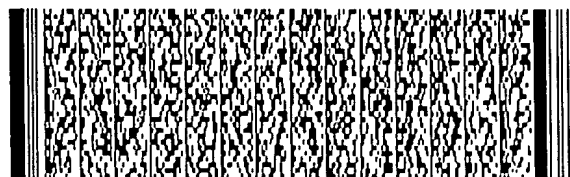
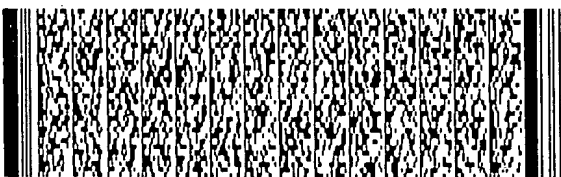
一般的類比鎖相迴路的系統架構方塊圖如第 1B 圖所示，包含相位頻率偵測器 150、電流幫浦 (charge pump) 160、電壓控制振盪器 (Voltage Controller Oscillator; VCO) 170 以及除頻電路 180 所組成。其中，相位頻率偵測器 150 之運作與數位鎖相迴路相同，將於下文作詳細的介紹。電流幫浦 160 係用以依據相位頻率偵測器 150 輸出的相位差信號輸出相對應之電壓信號，其電壓信號的大小係與輸出信號 F_o 與輸入信號 F_r 的相位差大小有關。電壓控制振盪器 170 則用以依據電壓信號輸出相對應之輸出信號 F_o 。當輸出信號 F_o 的頻率與輸入信號 F_r 不同時，輸出信號 F_o 必須經過除頻器 180 除頻後，由相位頻率偵測器 100 來偵測回授信號 F_i 與輸入信號 F_r 的相位差。

第 2 圖為習知相位頻率偵測器 (PFD) 的電路架構圖，其中包含兩個 D 型正反器 (D-type Flip-Flop) 200、210 及一個 AND 閘 220。D 型正反器 200 之信號輸入端 (D) 係與一高電壓源耦接，用以接收一高位準信號，時脈輸入端 (CK) 係用以接收輸入信號 F_r ，當輸入信號 F_r 為高位準信號時，則驅



五、發明說明 (3)

動該正反器200由信號輸出端(Q)輸出高位準信號。正反器210之動作原理與正反器200相似，其不同之處在於時脈輸入端(CK)係用以接收回授信號Fi。AND閘220之兩個信號輸入端分別與正反器200及210之信號輸出端(Q)耦接，其信號輸出端係分別與正反器200及210之重置信號輸入端(RB)耦接。相位頻率偵測器的動作原理請參考第3圖之時序圖所示。假設本文所提到的頻率偵測器中的元件皆為一升緣觸發電路，以Fr信號超前Fi信號為例，當Fr信號輸入正反器200時，正反器200輸出UP信號，UP信號會隨Fr提升為高位準。直到Fi信號輸入正反器210時，正反器210輸出DOWN信號，亦即DOWN信號會隨Fi提升為高位準。當UP信號與DOWN信號皆為高位準時，兩輸入端分別接收UP信號與DOWN信號之AND閘220後會輸出一重置(Reset)信號分別輸入正反器200、210中重置正反器200、210。故正反器200、210分別輸出之UP信號與DOWN信號皆回到低位準。當Fr信號落後Fi信號時，兩正反器之動作原理相同，所不同的是此時正反器210輸出之DOWN信號會先提升為高位準，然後與後提升為高位準的UP信號一同輸入AND閘220，使得AND閘220輸出重置信號分別重置正反器200、210，使得故正反器200、210分別輸出之UP信號與DOWN信號皆回到低位準。故藉由UP信號與DOWN信號何者先提升為高位準信號，可以得知輸入信號Fr與回授信號Fi的相位的領先與落後，並藉由UP信號與DOWN信號提升至高位準之時間差的長短得知相位領先或落後的大小。

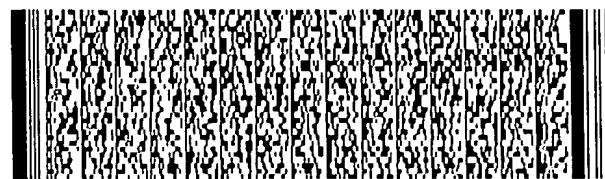
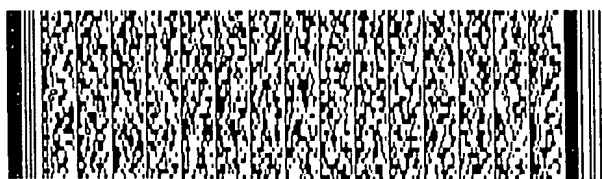


五、發明說明 (4)

無論是數位或是類比的鎖相迴路，其對回授信號 F_i 與輸入信號 F_r 的相位差大小的靈敏度是很重要的。靈敏度的定義為鎖相迴路所能偵測到的回授 F_i 與輸入 F_r 的相位差的最小差距。由於邏輯元件實際的電路特性並不理想，造成正反器的運作及AND閘的邏輯運算都會有延遲時間(delay time)。例如：當輸入信號 F_r 與回授信號 F_i 分別輸入至正反器200及210時，正反器200及210分別接收到輸入信號 F_r 與回授信號 F_i 後，會經過一段延遲時間之後，才接收到AND閘所輸出之重置信號。延遲時間的長度與相位差大小並沒有呈現規則的關係。延遲時間會使得輸入信號 F_r 與回授信號 F_i 的相位差的大小與輸出信號 F_o 之間的線性關係會有誤差的存在。當輸入信號 F_r 或回授信號 F_i 的相位差越小，上述誤差對輸入信號 F_r 與回授信號 F_i 的相位差的大小與輸出信號 F_o 之間的線性關係的影響就越大。且當輸入信號 F_r 或回授信號 F_i 的相位差小到一定的程度時，會因為上述之電路不理想的特性所造成延遲時間的緣故，造成相位頻率偵測器所輸出之UP信號或DOWN信號無法被後級電路所利用或甚至是無法被後級電路偵測到的情況，此情況被稱之為死區(dead zone)。如此，會限制鎖相迴路對輸入信號 F_r 與回授信號 F_i 的相位差的靈敏度。

【發明內容】

有鑑於上述之需求，本發明主要的目的在於提出一種用於鎖相迴路之相位頻率偵測電路，以期在鎖相迴路中，即使相位差非常小時，亦不會破壞相位差與輸出信號時間



五、發明說明 (5)

的線性關係，也不會發生死區的現象。

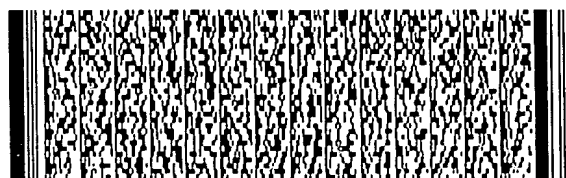
本發明揭露一種用於鎖相迴路之相位頻率偵測電路，包含：一相位差偵測單元，用以依據一第一輸入信號及一第二輸入信號之相位差輸出相對應之一相位差信號；以及一重置單元，與相位差偵測單元耦接，用以在同時接收到第一輸入信號及第二輸入信號時輸出一重置信號，以重置相位差偵測單元，使相位差信號之輸出的時間與相位差的大小更精確地成線性比例關係，並且可提高鎖相迴路的靈敏度。

本發明為更精確地減少邏輯電路所造成的時間延遲效應，更提出一緩衝電路的設計，進一步地減少因降低邏輯電路之不理想特性及元件工作的延遲時間對電路運作所造成的影響。

再者，本發明所提之實施例更可適用於數位鎖相迴路及類比鎖相迴路。

【實施方式】

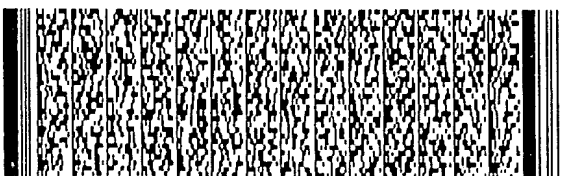
第4圖係為依據本發明之較佳實施例繪示之相位頻率偵測器之功能方塊圖。本發明之特徵在於除了相位差偵測單元400之外，設計一重置單元410，重置單元410與相位差偵測單元400同步地接收輸入信號 F_r 及回授信號 F_i ，並依據輸入信號 F_r 及回授信號 F_i 之相位差輸出重置信號來重置相位差偵測單元400。第5圖為依據第4圖繪示之本發明提出之相位頻率偵測器之細部電路圖。其中，相位差偵測單元(Phase-Error Detecting)400係包含第一正反器



五、發明說明 (6)

401、第二正反器402及一取樣電路403。其中，第一正反器401與第二正反器402係為D型正反器，其信號輸入端(D)和時脈信號輸入端(CK)所接收之信號及其工作原理皆分別與第2圖所繪示之正反器200、210相對應，請自行參照前文之說明，於此不再贅述。第一正反器401與第二正反器402之信號輸出端(Q)分別輸出第一指標(Flag 1)信號、第二指標(Flag 2)信號至一取樣電路403。取樣電路403係用以依據第一指標信號及第二指標信號輸出UP信號及DOWN信號，當第一指標信號先輸入取樣電路403時，取樣電路403會輸出高位準之UP信號且輸出低位準之DOWN信號。當第二指標信號先輸入取樣電路403時，取樣電路403會輸出低位準之UP信號且輸出高位準之DOWN信號。相位差偵測單元400詳細之工作原理將於下文作詳細的說明。

本發明與習知之相位頻率偵測單元不同之處在於，本發明設計一重置單元410，用以輸出重置信號，分別對第一正反器401及第二正反器402進行重置。而非僅以一AND閘電路來實現。重置單元410係包含一第三正反器411、一第四正反器412，其皆為D型正反器，信號輸入端及時脈信號輸入端所接收之信號及動作原理分別與第一正反器401及第二正反器402相對應，請參照前文之說明，於此不再贅述。第三正反器411及第四正反器412分別輸出一第三指標(Flag 3)信號、一第四指標(Flag 4)信號至一NAND閘413，且第三指標信號更透過反相器414輸出第一重置(Reset 1)信號至第二正反器402，第四指標(Flag 4)信號

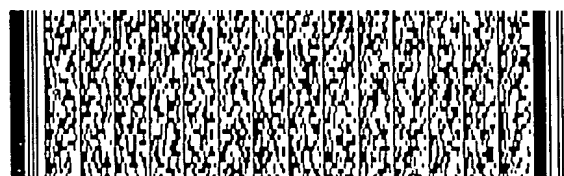
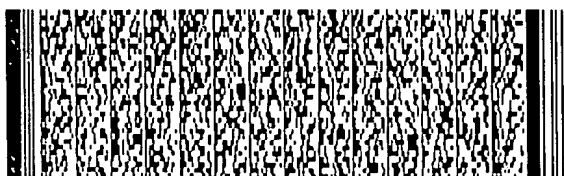


五、發明說明 (7)

更透過一反相器415輸出一第二重置(Reset 2)信號至第一正反器401。而NAND閘413之信號輸出端係分別與第三正反器411及第四正反器412之重置信號輸入端耦接。重置電路410詳細之工作原理將於下文作詳細的說明。

為配合作動說明，亦請參考第6圖之時序示意圖，假設本發明所提出之相位頻率偵測器之所有電路元件皆為升緣觸發電路。當輸入信號Fr之相位超前回授信號Fi時，第一正反器401與第三正反器411分別同時輸出高位準之第一指標信號及第三指標信號。此時，取樣電路402依據接收之第一指標信號輸出高位準之UP信號，同時確保輸出低位準之DOWN信號。同時，高位準之第三指標信號經由反相器414及重置信號輸入端，再將信號反相之後，會重置第二正反器402，使第二指標信號維持在低位準。當相位落後之回授信號Fi端輸入第二正反器402及第四正反器412時，第四指標信號輸出在高位準。此時，第四指標信號會重置第一正反器401，使第一指標信號拉回至低位準，如此，則取樣電路403輸出之UP信號也會回到低位準。同時，高位準之第三指標信號及第四指標信號同時輸入NAND閘413，NAND閘413會輸出重置信號，分別將第三正反器411、第四正反器412重置。當輸入信號Fr之相位超前回授信號Fi時，本發明所提出之相位頻率偵測器其工作原理與前文之說明相似，請參考第6圖之時序圖所示，於此不再贅述。

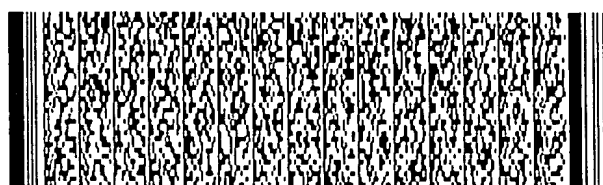
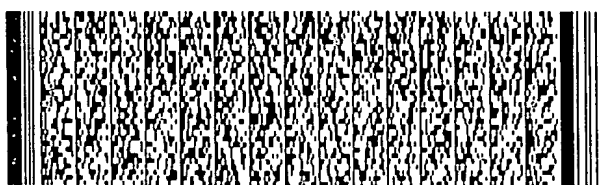
本發明係利用重置單元410，來減少由於正反器的運



五、發明說明 (8)

作及AND閘的邏輯運算的延遲時間所造成的對電路靈敏度的限制以及對相位差與輸出信號時間之線性關係的誤差。請再參照第5圖，由於相位偵測單元400之第一正反器401及第二正反器402分別與重置單元410之第三正反器411及第四正反器412相對應。由於兩兩相對應之正反器其所接收的信號及工作原理皆完全相同，故可以將正反器運作之延遲時間所造成的效應視為完全相同。如此即可有效地降低正反器運作造成的延遲時間對電路特性的影響，確保相位偵測單元400輸出之UP信號與DOWN信號之相位差與實際輸入信號Fr與回授信號Fi之相位差係呈線性關係。此外，重置單元410係分別將第三正反器411及第四正反器412輸出之第三指標信號及第四指標信號，經由反相器414及415分別將之反相後，輸出第一重置信號及第二重置信號來重置相位偵測單元400之第一正反器401及第二正反器402。此外，上述電路設計中所提及的反相器414及415係直接將信號反相後輸出，其所造成之時間延遲係遠小於習知AND閘電路因進行邏輯運算所造成之時間延遲。如此可以使UP/DOWN信號之輸出的時間與相位差的大小更精確地成線性比例關係，並且可提高鎖相迴路的靈敏度。

此外，為更精確地減少反相器所造成的時間延遲效應，本發明更提出第二實施例，如第7圖所示，於Fr/Fi信號輸入端分別加入一緩衝電路420，使得Fr/Fi信號經由一段由緩衝電路410所造成之時間延遲之後，再由信號輸入端分別輸入至第一正反器401與第二正反器402中。緩衝電

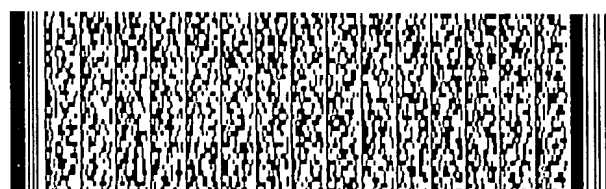


五、發明說明 (9)

路420所造成的時間延遲的效應係用以抵銷反相器414和415，以及第一正反器401與第二正反器402中，重置信號分別經過重置信號輸入端反相，再由重置信號輸入端傳送至信號輸出端所造成的時間延遲的效應。如此，可以使得重置單元410所輸出之第一重置信號與第二重置信號和相位差偵測單元400之動作更加的同步且精確。如此，可更進一步地減少因降低邏輯電路之不理想特性及元件工作的延遲時間對電路運作所造成的影響，確保UP/DOWN信號之輸出的時間與輸入信號Fr及回授信號Fi之相位差呈更理想的線性比例關係。且在相位差非常小的情況下，其線性比例關係依舊存在，沒有死區的問題產生。

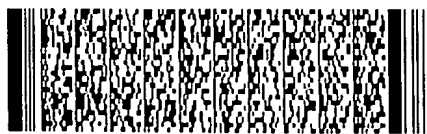
需注意的是，本說明書提出之實施例係以電路元件為升緣觸發電路為例來說明本發明之實施手段。但本發明並不以此為限。電路元件亦可為降緣觸發電路，或者是升/降緣觸發電路。若電路元件為降緣觸發電路，當輸入信號由高位準轉換成低位準時，會觸發電路元件進行動作。若電路元件為升/降緣觸發電路，則只要輸入信號具有一變化緣(transition)，無論是低位準轉換成高位準或是高位準轉換成低位準，皆會觸發電路元件進行動作。另，本發明為了電路實際製程的考量，係以NAND閘及/或若干反相器來達到與AND閘均等的功效，但本發明並不以此為限。此外，本發明所提出之相位頻率偵測電路在數位鎖相迴路及類比鎖相迴路皆可適用。

以上所述者，僅為本發明其中的較佳實施例而已，並



五、發明說明 (10)

非用來限定本發明的實施範圍；即凡依本發明申請專利範圍所作的均等變化與修飾，皆為本發明專利範圍所涵蓋。



圖式簡單說明

【圖式簡單說明】

第1A圖為習知數位鎖相迴路(DPLL)的系統架構方塊圖；

第1B圖為習知類比鎖相迴路的系統架構方塊圖；

第2圖為習知相位頻率偵測器(PFD)的電路架構圖；

第3圖為習知相位頻率偵測器(PFD)之時序示意圖；

第4圖為本發明之用於鎖相迴路之相位頻率偵測電路架構方塊圖；

第5圖為本發明之用於鎖相迴路之相位頻率偵測電路之第一實施例細部電路圖；

第6圖為本發明第一實施例之時序示意圖；及

第7圖為本發明之用於鎖相迴路之相位頻率偵測電路之第二實施例細部電路圖。

【圖式符號說明】

100、150 相位頻率偵測器(Phase-Frequency
Detector ; PFD)

110 相位差量化器(Phase Error Quantizer)

120 數位控制振盪器(Digital Controller
Oscillator ; DCO)

130、180 除頻電路(Divider)

160 電流幫浦(charge pump)

170 電壓控制振盪器(Voltage Controller
Oscillator ; VCO)

200、210 D型正反器(D-type Flip-Flop)

220 AND 閘



圖式簡單說明

400	相位差偵測單元(Phase-Error Detecting)
401	第一正反器
402	第二正反器
403	取樣電路
410	重置電路
411	第三正反器
412	第四正反器
413	NAND 閘
414、415	反相器
420	緩衝電路



六、申請專利範圍

1. 一種相位頻率偵測電路，用以接收一第一輸入信號及一第二輸入信號，並依據該第一輸入信號及該第二輸入信號之相位差輸出相對應之一相位差信號，該相位頻率偵測電路包含：

一相位差偵測單元，用以依據該第一輸入信號及該第二輸入信號之相位差輸出相對應之該相位差信號；以及

一重置單元，與該相位差偵測單元耦接，用以接收該第一輸入信號與該第二輸入信號，當偵測到該第一輸入信號及該第二輸入信號皆有一變化緣(transition)時輸出一重置信號，以重置該相位差偵測單元。

2. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該相位差信號包括一第一輸出信號及一第二輸出信號。

3. 如申請專利範圍第2項所述之相位頻率偵測電路，其中該相位差偵測單元更包括：

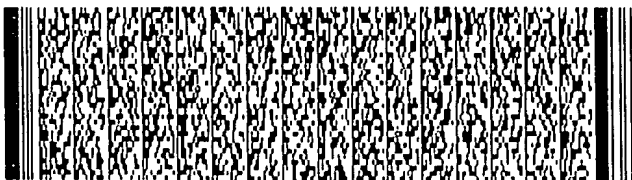
一第一正反器，用以依據該第一輸入信號輸出該第一輸出信號；以及

一第二正反器，用以依據該第二輸入信號輸出該第二輸出信號；

其中，當該第一輸入信號之相位領先該第二輸入信號時，該第一輸出信號為高準位，當該第一輸入信號之相位落後該第二輸入信號時，該第二輸出信號為高準位。

4. 如申請專利範圍第3項所述之相位頻率偵測電路，其中該重置信號包括：

一第一重置信號，用以重置該第一正反器；以及



六、申請專利範圍

一 第二重置信號，用以重置該第二正反器。

5. 如申請專利範圍第4項所述之相位頻率偵測電路，其中該重置單元更包括：

一 第三正反器，用以依據該第一輸入信號輸出該第二重置信號；

一 第四正反器，用以依據該第二輸入信號輸出該第一重置信號；以及

一 重置電路，分別與該第三正反器及該第四正反器耦接，當同時收到該第一重置信號及該第二重置信號時輸出一第三重置信號重置該第三正反器及一第四重置信號重置該第四正反器。

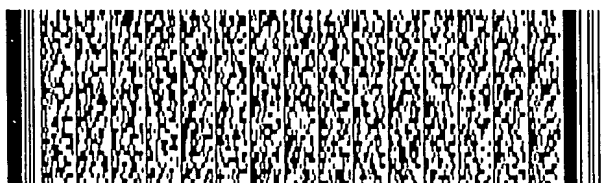
6. 如申請專利範圍第2項所述之相位頻率偵測電路，其中該相位差偵測單元更包括：

一 第一正反器，用以依據該第一輸入信號輸出該第一指標信號；

一 第二正反器，用以依據該第二輸入信號輸出該第二指標信號；以及

一 取樣電路，分別與該第一正反器及該第二正反器耦接，依據該第一指標信號及該第二指標信號輸出該相位差信號；

其中，當該第一輸入信號之相位領先該第二輸入信號時，該第一輸出信號為高準位，且該第二輸出信號係為低準位，當該第一輸入信號之相位落後該第二輸入信號時，該第二輸出信號為高準位，且該第一輸出信號係為低準



六、申請專利範圍

位。

7. 如申請專利範圍第6項所述之相位頻率偵測電路，其中該重置信號包括：

- 一第一重置信號，用以重置該第一正反器；以及
- 一第二重置信號，用以重置該第二正反器。

8. 如申請專利範圍第7項所述之相位頻率偵測電路，其中該重置單元更包括：

一第三正反器，用以依據該第一輸入信號輸出該第二重置信號；

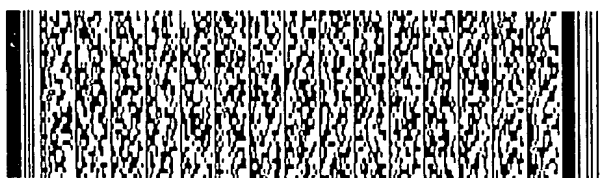
一第四正反器，用以依據該第二輸入信號輸出該第一重置信號；以及

一重置電路，分別與該第三正反器及該第四正反器耦接，當同時收到該第一重置信號及該第二重置信號時輸出一第三重置信號重置該第三正反器及一第四重置信號重置該第四正反器。

9. 如申請專利範圍第1項所述之相位頻率偵測電路，其中更包含一緩衝電路，用以分別緩衝用以輸入該相位差偵測單元之該第一輸入信號及該第二輸入信號。

10. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該第一輸入信號及該第二輸入信號之變化緣皆為上升緣。

11. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該第一輸入信號及該第二輸入信號之變化緣分別為上升緣及下降緣。



六、申請專利範圍

12. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該第一輸入信號及該第二輸入信號之變化緣皆為下降緣。

13. 一種鎖相迴路，包括：

一相位頻率偵測電路，用以接收一第一輸入信號及一第二輸入信號，並依據該第一輸入信號及該第二輸入信號之相位差輸出相對應之一相位差信號，其中，該相位頻率偵測電路更包含：

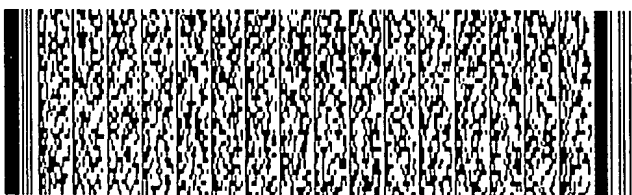
一相位差偵測單元，用以依據該第一輸入信號及該第二輸入信號之相位差輸出相對應之該相位差信號；以及

一重置單元，與該相位差偵測單元耦接，用以接收該第一輸入信號與該第二輸入信號，當偵測到該第一輸入信號及該第二輸入信號皆有一變化緣時輸出一重置信號，以重置該相位差偵測單元；

一電流幫浦，與該相位頻率偵測器耦接，用以依據該相位差信號輸出相對應之一電壓信號，其中該電壓信號之大小係與該第一輸入信號及該第二輸入信號之相位差大小相對應；以及

一電壓控制振盪器，與該電流幫浦耦接，用以依據該電壓信號輸出相對應之一鎖相輸出信號，其中，該鎖相輸出信號之頻率及相位係與該電壓信號相對應。

14. 如申請專利範圍第13項所述之鎖相迴路，其中該相位差信號包括一第一輸出信號及一第二輸出信號。



六、申請專利範圍

15. 如申請專利範圍第14項所述之鎖相迴路，其中該相位差偵測單元更包括：

一第一正反器，用以依據該第一輸入信號輸出該第一輸出信號；以及

一第二正反器，用以依據該第二輸入信號輸出該第二輸出信號；

其中，當該第一輸入信號之相位領先該第二輸入信號時，該第一輸出信號為高準位，當該第一輸入信號之相位落後該第二輸入信號時，該第二輸出信號為高準位。

16. 如申請專利範圍第15項所述之鎖相迴路，其中該重置信號包括：

一第一重置信號，用以重置該第一正反器；以及

一第二重置信號，用以重置該第二正反器。

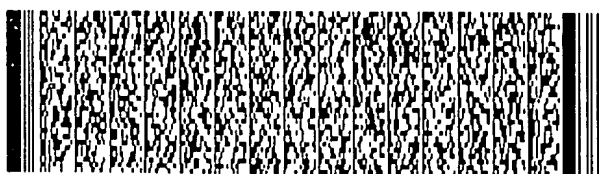
17. 如申請專利範圍第16項所述之鎖相迴路，其中該重置單元更包括：

一第三正反器，用以依據該第一輸入信號輸出該第二重置信號；

一第四正反器，用以依據該第二輸入信號輸出該第一重置信號；以及

一重置電路，分別與該第三正反器及該第四正反器耦接，當同時收到該第一重置信號及該第二重置信號時輸出一第三重置信號重置該第三正反器及一第四重置信號重置該第四正反器。

18. 如申請專利範圍第14項所述之鎖相迴路，其中該相位



六、申請專利範圍

差偵測單元更包括：

一第一正反器，用以依據該第一輸入信號輸出該第一指標信號；

一第二正反器，用以依據該第二輸入信號輸出該第二指標信號；以及

一取樣電路，分別與該第一正反器及該第二正反器耦接，依據該第一指標信號及該第二指標信號輸出該相位差信號；

其中，當該第一輸入信號之相位領先該第二輸入信號時，該第一輸出信號為高準位，且該第二輸出信號係為低準位，當該第一輸入信號之相位落後該第二輸入信號時，該第二輸出信號為高準位，且該第一輸出信號係為低準位。

19. 如申請專利範圍第18項所述之鎖相迴路，其中該重置信號包括：

一第一重置信號，用以重置該第一正反器；以及

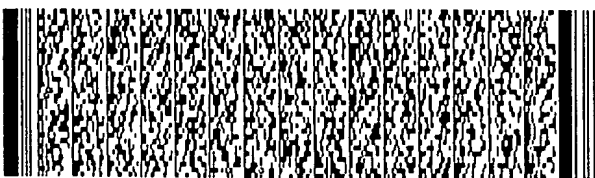
一第二重置信號，用以重置該第二正反器。

20. 如申請專利範圍第19項所述之鎖相迴路，其中該重置單元更包括：

一第三正反器，用以依據該第一輸入信號輸出該第二重置信號；

一第四正反器，用以依據該第二輸入信號輸出該第一重置信號；以及

一重置電路，分別與該第三正反器及該第四正反器耦



六、申請專利範圍

接，當同時收到該第一重置信號及該第二重置信號時輸出一第三重置信號重置該第三正反器及一第四重置信號重置該第四正反器。

21. 如申請專利範圍第13項所述之鎖相迴路，其中更包含一緩衝電路，用以分別緩衝用以輸入該相位差偵測單元之該第一輸入信號及該第二輸入信號。

22. 如申請專利範圍第13項所述之鎖相迴路，其中該第一輸入信號及該第二輸入信號之變化緣皆為上升緣。

23. 如申請專利範圍第13項所述之鎖相迴路，其中該第一輸入信號及該第二輸入信號之變化緣分別為上升緣及下降緣。

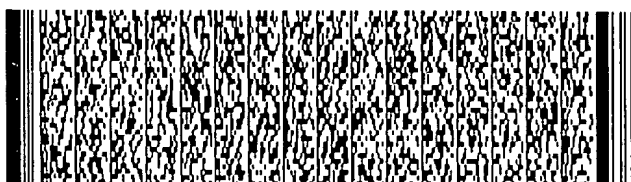
24. 如申請專利範圍第13項所述之鎖相迴路，其中該第一輸入信號及該第二輸入信號之變化緣皆為下降緣。

25. 一種鎖相迴路，包括：

一相位頻率偵測電路，用以接收一第一輸入信號及一第二輸入信號，並依據該第一輸入信號及該第二輸入信號之相位差輸出相對應之一相位差信號，其中，該相位頻率偵測電路更包含：

一相位差偵測單元，用以依據該第一輸入信號及該第二輸入信號之相位差輸出相對應之該相位差信號；以及

一重置單元，與該相位差偵測單元耦接，用以接收該第一輸入信號與該第二輸入信號，當偵測到該第一輸入信號及該第二輸入信號皆有一變化緣時輸出一重置信



六、申請專利範圍

號，以重置該相位差偵測單元；

一相位差量化器，與該相位頻率偵測器耦接，用以依據該相位差信號輸出相對應之一計數信號，其中該計數信號之大小係與該第一輸入信號及該第二輸入信號之相位差大小有關；以及

一數位控制振盪器，與該相位差量化器耦接，用以依據該計數信號輸出相對應之一鎖相輸出信號，其中，該鎖相輸出信號之頻率及相位係與該計數信號相對應。

26. 如申請專利範圍第25項所述之鎖相迴路，其中該相位差信號包括一第一輸出信號及一第二輸出信號。

27. 如申請專利範圍第26項所述之鎖相迴路，其中該相位差偵測單元更包括：

一第一正反器，用以依據該第一輸入信號輸出該第一輸出信號；以及

一第二正反器，用以依據該第二輸入信號輸出該第二輸出信號；

其中，當該第一輸入信號之相位領先該第二輸入信號時，該第一輸出信號為高準位，當該第一輸入信號之相位落後該第二輸入信號時，該第二輸出信號為高準位。

28. 如申請專利範圍第27項所述之鎖相迴路，其中該重置信號包括：

一第一重置信號，用以重置該第一正反器；以及

一第二重置信號，用以重置該第二正反器。

29. 如申請專利範圍第28項所述之鎖相迴路，其中該重置



六、申請專利範圍

單元更包括：

一 第三正反器，用以依據該第一輸入信號輸出該第二重置信號；

一 第四正反器，用以依據該第二輸入信號輸出該第一重置信號；以及

一 重置電路，分別與該第三正反器及該第四正反器耦接，當同時收到該第一重置信號及該第二重置信號時輸出一第三重置信號重置該第三正反器及一第四重置信號重置該第四正反器。

30. 如申請專利範圍第25項所述之鎖相迴路，其中該相位差偵測單元更包括：

一 第一正反器，用以依據該第一輸入信號輸出該第一指標信號；

一 第二正反器，用以依據該第二輸入信號輸出該第二指標信號；以及

一 取樣電路，分別與該第一正反器及該第二正反器耦接，依據該第一指標信號及該第二指標信號輸出該相位差信號；

其中，當該第一輸入信號之相位領先該第二輸入信號時，該第一輸出信號為高準位，且該第二輸出信號係為低準位，當該第一輸入信號之相位落後該第二輸入信號時，該第二輸出信號為高準位，且該第一輸出信號係為低準位。

31. 如申請專利範圍第30項所述之鎖相迴路，其中該重置

六、申請專利範圍

信號包括：

一 第一重置信號，用以重置該第一正反器；以及

一 第二重置信號，用以重置該第二正反器。

32. 如申請專利範圍第 31 項所述之鎖相迴路，其中該重置單元更包括：

一 第三正反器，用以依據該第一輸入信號輸出該第二重置信號；

一 第四正反器，用以依據該第二輸入信號輸出該第一重置信號；以及

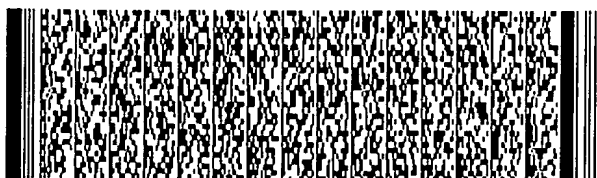
一 重置電路，分別與該第三正反器及該第四正反器耦接，當同時收到該第一重置信號及該第二重置信號時輸出一第三重置信號重置該第三正反器及一第四重置信號重置該第四正反器。

33. 如申請專利範圍第 25 項所述之鎖相迴路，其中更包含一緩衝電路，用以分別緩衝用以輸入該相位差偵測單元之該第一輸入信號及該第二輸入信號。

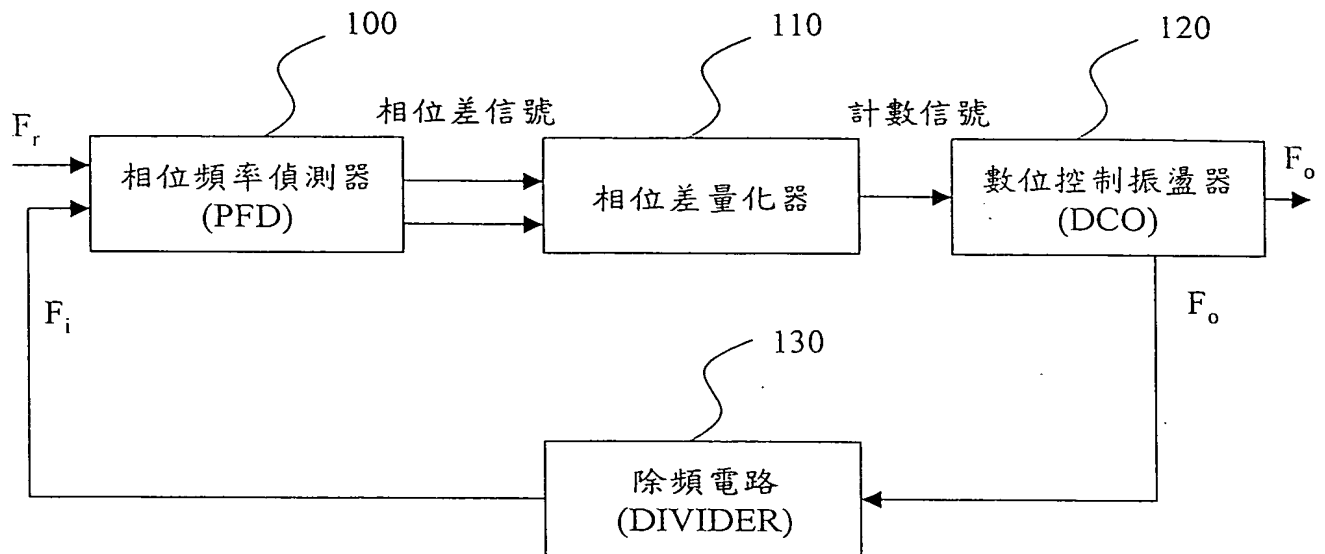
34. 如申請專利範圍第 25 項所述之鎖相迴路，其中該第一輸入信號及該第二輸入信號之變化緣皆為上升緣。

35. 如申請專利範圍第 25 項所述之鎖相迴路，其中該第一輸入信號及該第二輸入信號之變化緣分別為上升緣及下降緣。

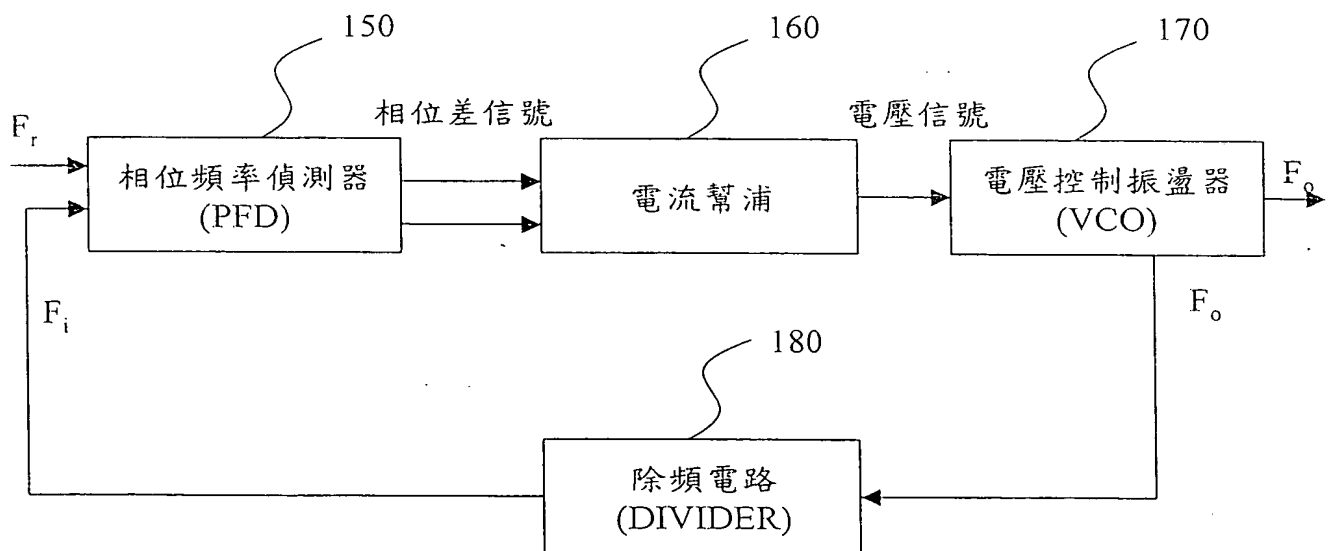
36. 如申請專利範圍第 25 項所述之鎖相迴路，其中該第一輸入信號及該第二輸入信號之變化緣皆為下降緣。



圖式

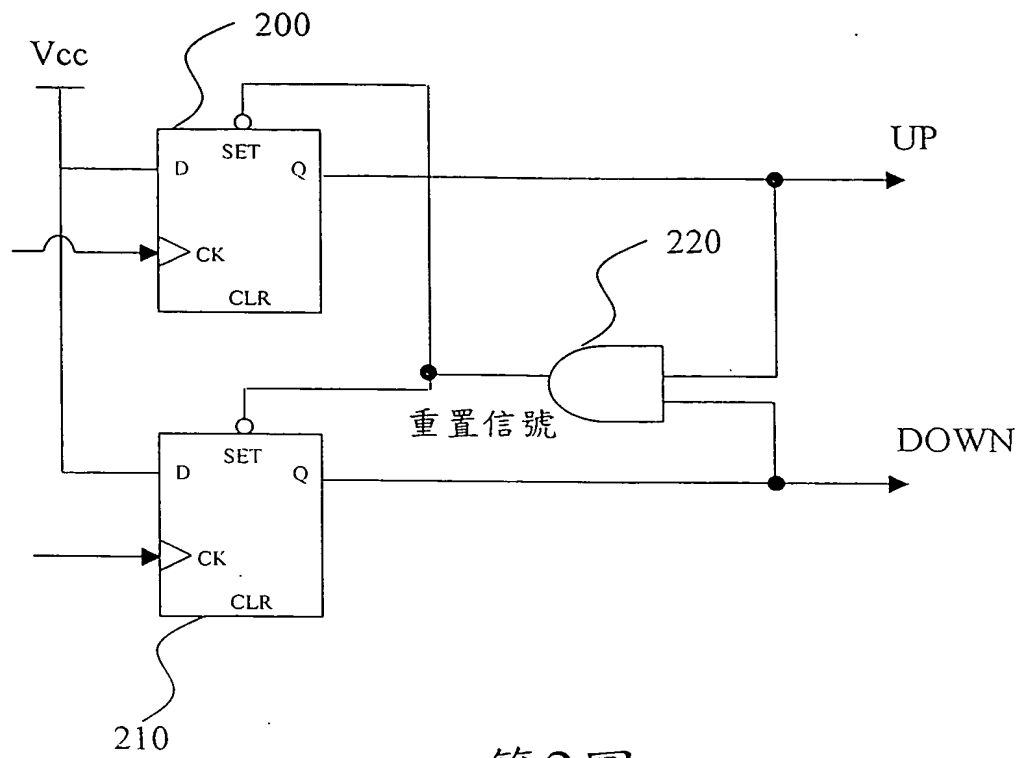


第1A圖
(習知技術)

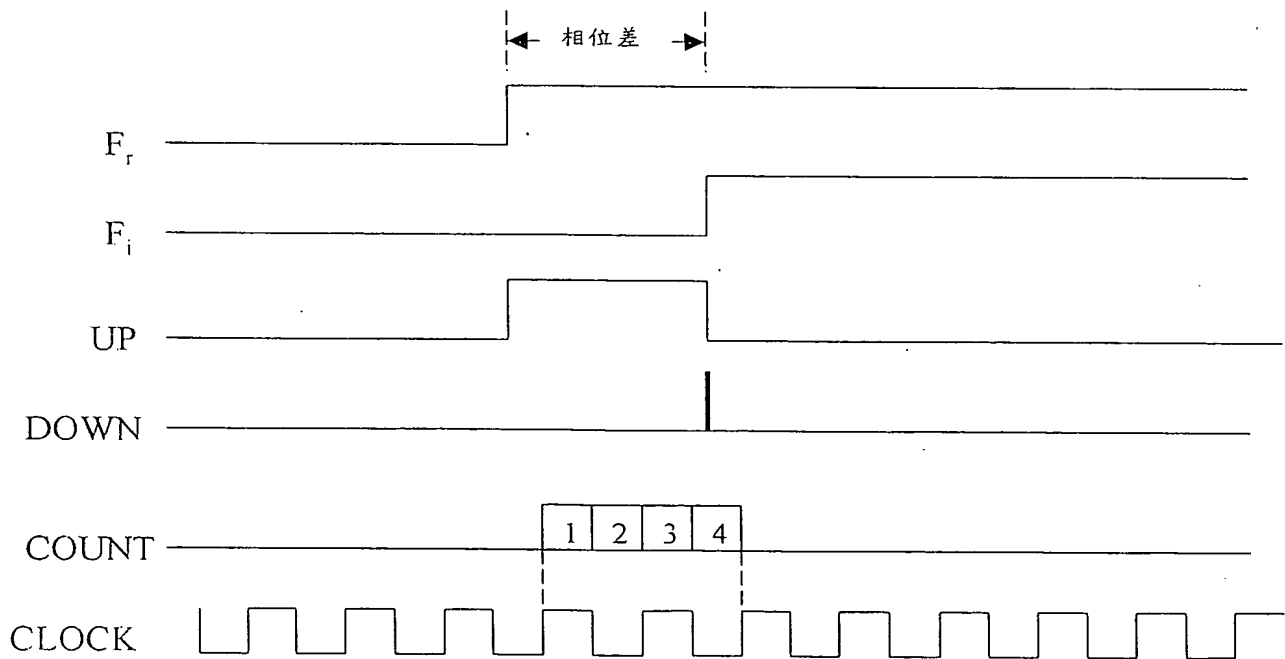


第1B圖
(習知技術)

圖式

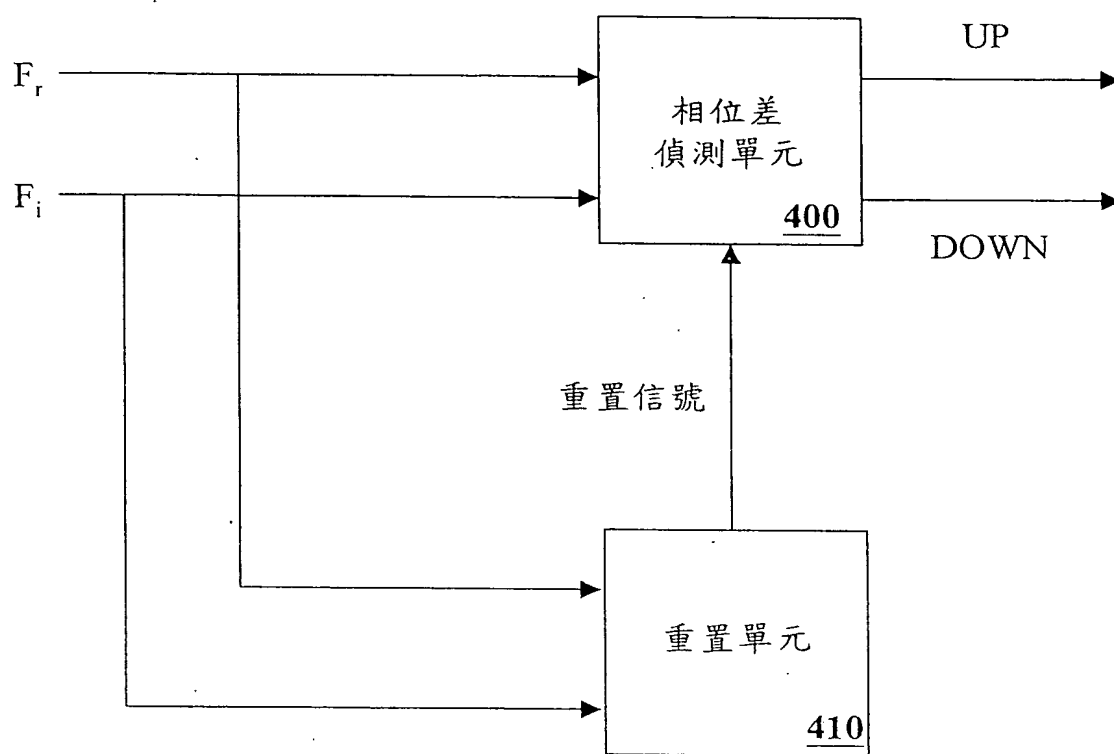


第2圖
(習知技術)

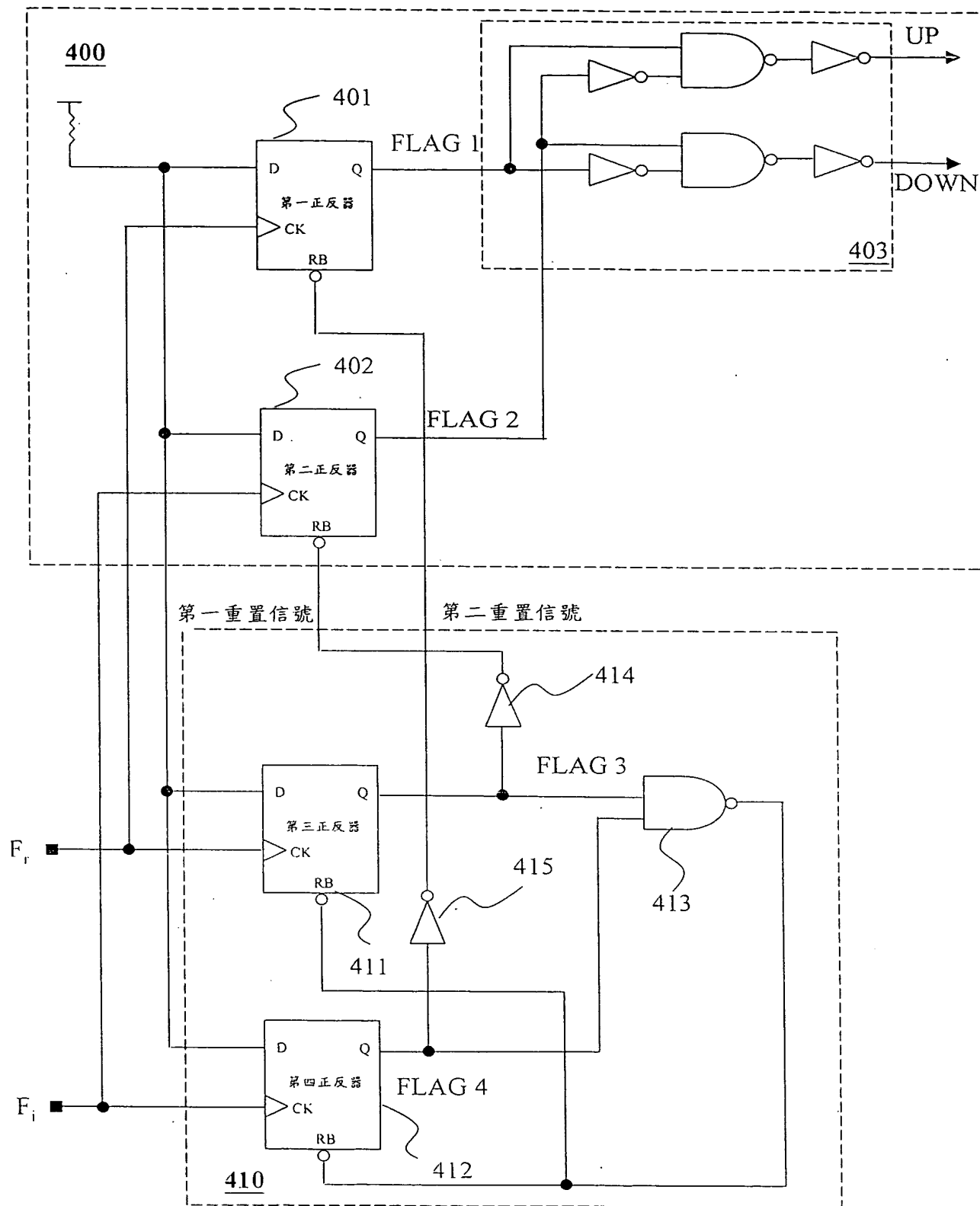


第3圖
(習知技術)

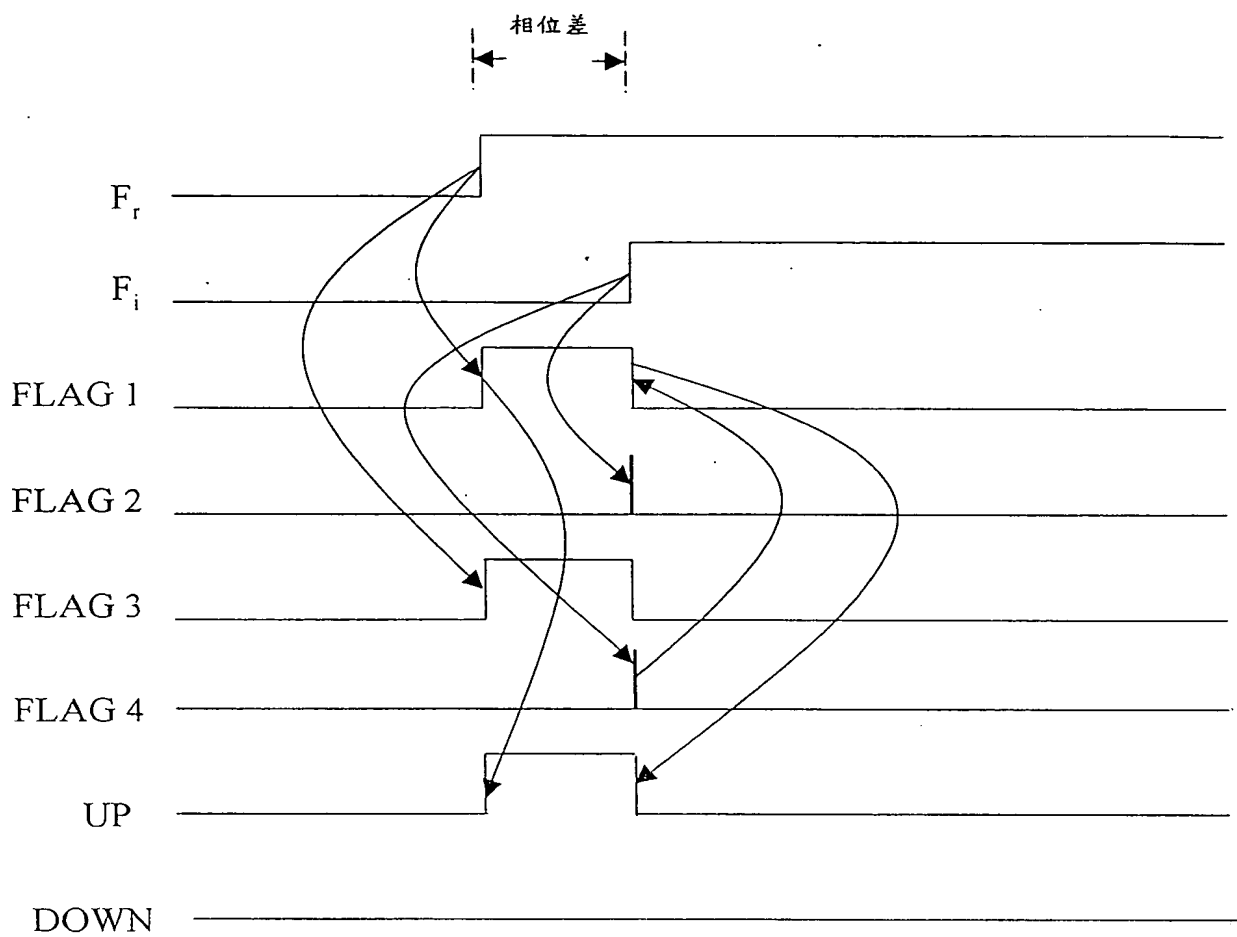
圖式



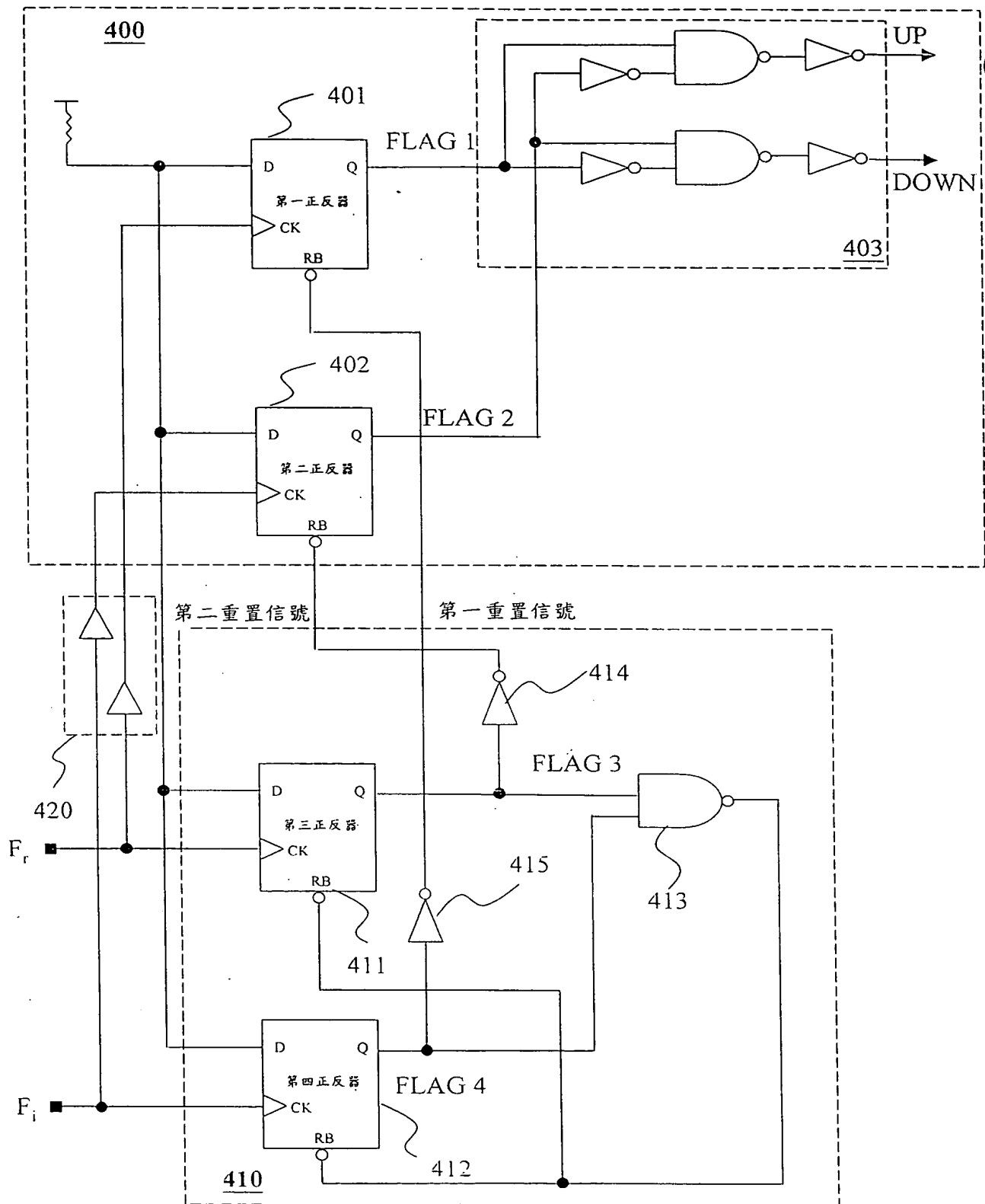
第4圖



第5圖

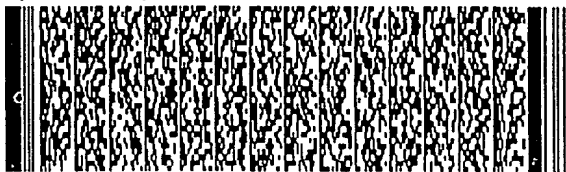


第6圖

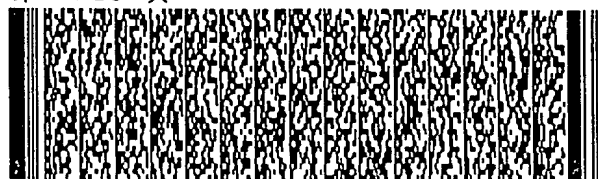


第7圖

第 1/25 頁



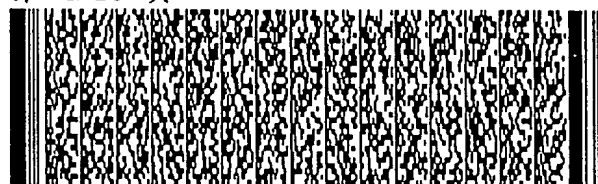
第 2/25 頁



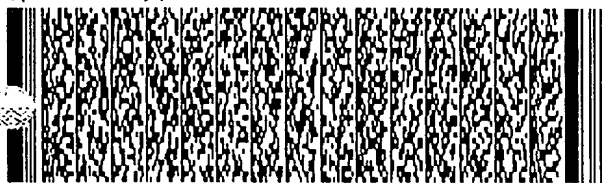
第 3/25 頁



第 4/25 頁



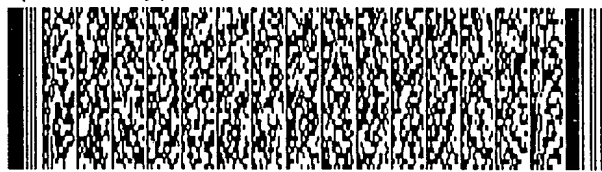
第 4/25 頁



第 5/25 頁



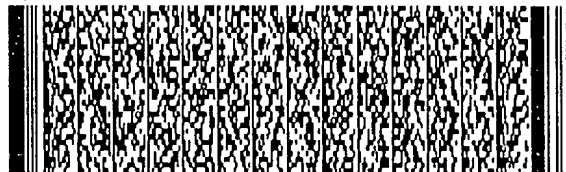
第 5/25 頁



第 6/25 頁



第 6/25 頁



第 7/25 頁



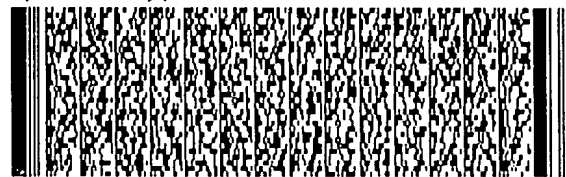
第 7/25 頁



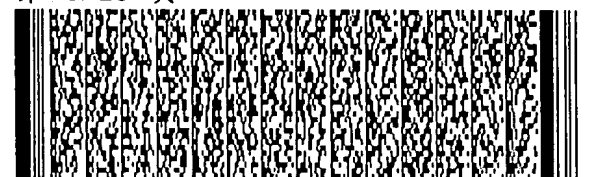
第 8/25 頁



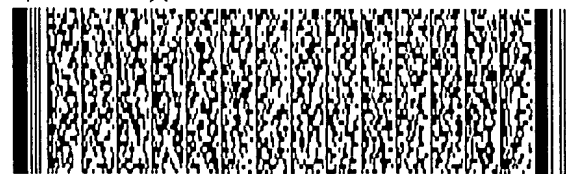
第 8/25 頁



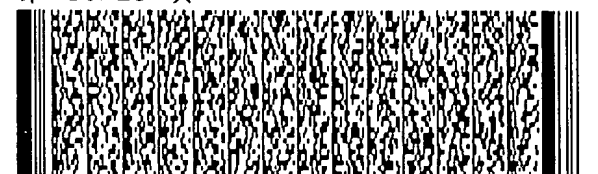
第 9/25 頁



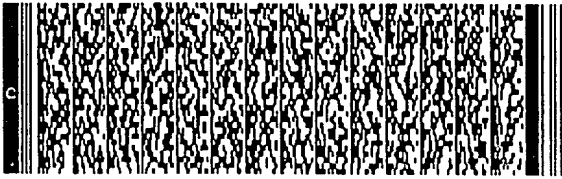
第 9/25 頁



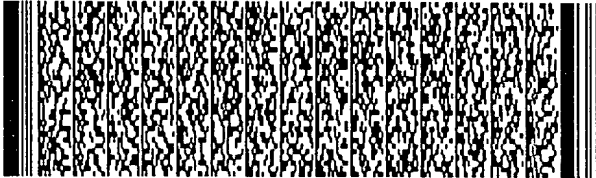
第 10/25 頁



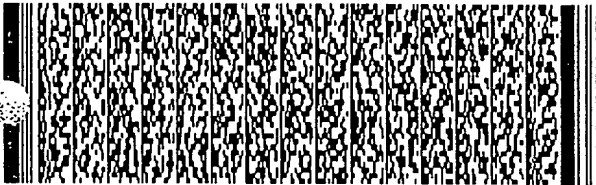
第 10/25 頁



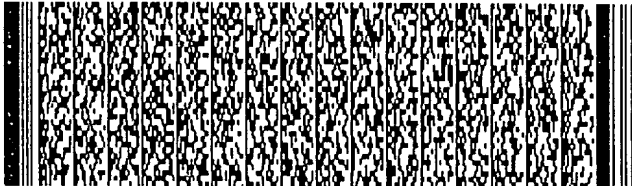
第 11/25 頁



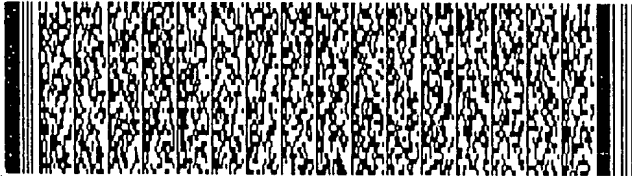
第 12/25 頁



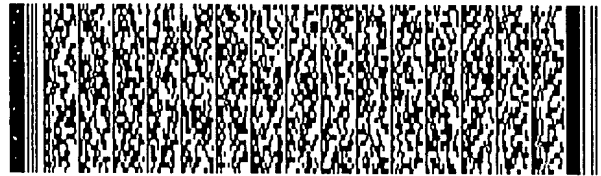
第 14/25 頁



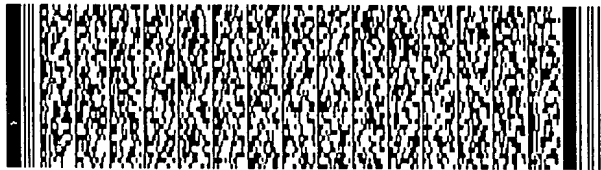
第 16/25 頁



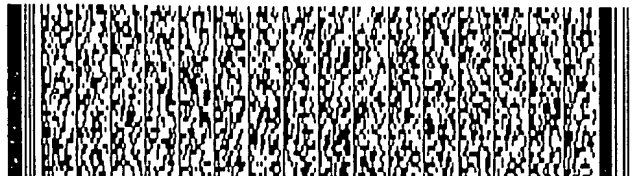
第 18/25 頁



第 20/25 頁



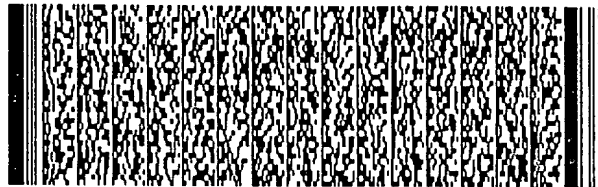
第 22/25 頁



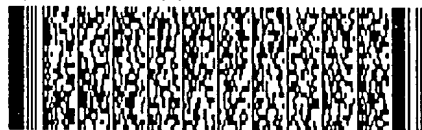
第 11/25 頁



第 12/25 頁



第 13/25 頁



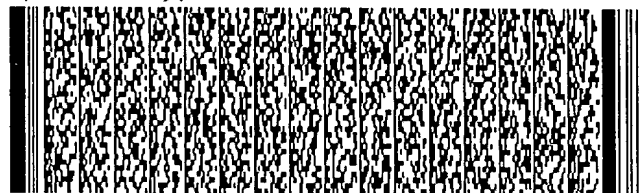
第 15/25 頁



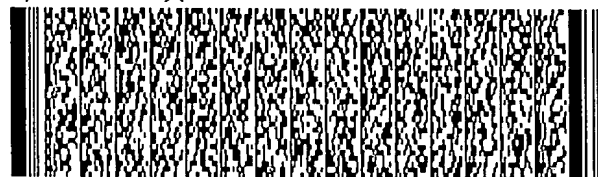
第 17/25 頁



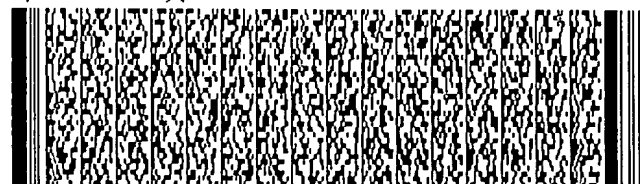
第 19/25 頁



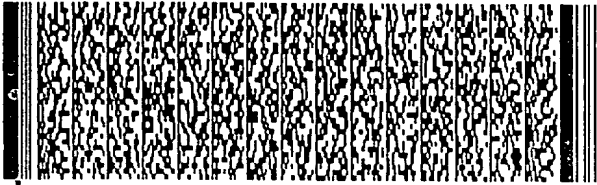
第 21/25 頁



第 23/25 頁



第 24/25 頁



第 25/25 頁

